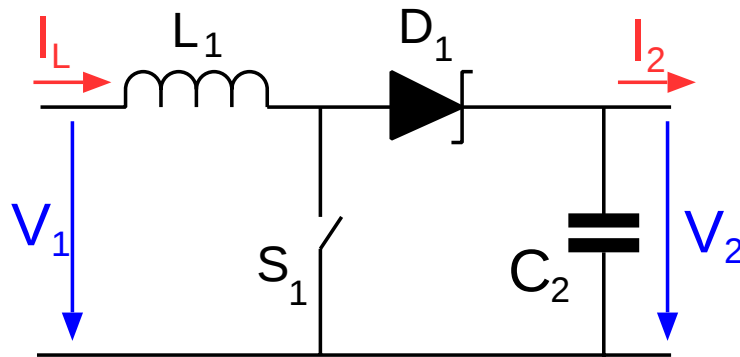


Introducción Boost

Vamos a analizar el comportamiento del convertidor Boost en bucle abierto y de forma ideal. Este documento es una breve introducción, recomendándose la lectura de una guía más exhaustiva¹.

Para ello vamos a dimensionar y realizar una simulación ideal de un diseño, empleando el simulador *WinSpice*.



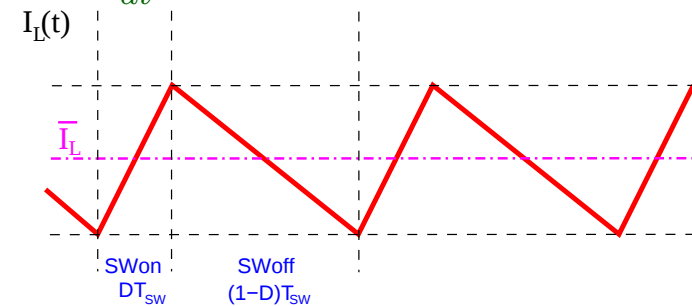
Consideremos los siguientes parámetros de diseño: $F_{SW} = 1\text{MHz}$, $V_1 = 5\text{v}$, $V_2 = 8\text{v}$ y $I_2^{max} = 0,5\text{A}$.

Calculemos primero el *Duty Cycle*:

$$D = 1 - \frac{V_1}{V_2} = 0,375$$

Durante este intervalo el interruptor **S1** permanecerá cerrado, y la tensión de entrada se aplica sobre el inductor **L1**, cumpliéndose:

$$V_L = L_1 \frac{dI_L}{dt}$$



Asumiendo un diseño sin pérdidas, y suponiendo la corriente a la salida constante y máxima: $I_2 = 0,5\text{A}$, podemos estimar la corriente promedio en el inductor como: $I_L = 8 \cdot 0,5 / 5 = 0,8\text{A}$.

Se suele diseñar el rizado en el inductor entre un 10 – 30 % de la media.

Tomemos un 25 %: $2 \Delta I_L = 0,2\text{A}$, por

¹SLVA327D “Basic Calculation of a Boost Converter’s Power Stage”, TI 2022

lo que aplicando la ecuación del inductor en el primer intervalo obtenemos:

$$L_1 = 5 \frac{0,375 \cdot 1\mu}{0,2} = 9,375\mu F.$$

Tomamos $L_1 = 10\mu F$, el rizado obtenido sería $2 \Delta I_L = 0,187A$

La corriente de pico que deberán aguantar el inductor **L1** y el diodo **D1** será: $I_L^{max} = 0,894A$. Nótese que al aumentar la inductancia empleada disminuye el máximo valor de corriente requerido (influye nuestra decisión del rizado).

Aunque usaremos un diodo ideal, se elige de tipo *Shottky* debido a sus bajas caídas de tensión, con una tensión de ruptura superior a $V_2 = 8v$.

Para el diseño del condensador C_2 consideramos que durante el intervalo *on* de **S1**, al estar el diodo en corte, el condensador proporciona la corriente constante a la carga. Admitamos un rizado en el condensador $\Delta V_2 = 20mV_{pp}$, calculando: $C_2^{min} = I_2 \frac{DT_s}{\Delta V_2} = 9,375\mu F$.

Tomaremos $C_2 = 10\mu F$, cerámico de baja ESR, capaz de funcionar a $F_{sw} = 1MHz$.

Pasemos a ver el *netlist* que emplearemos para simular:

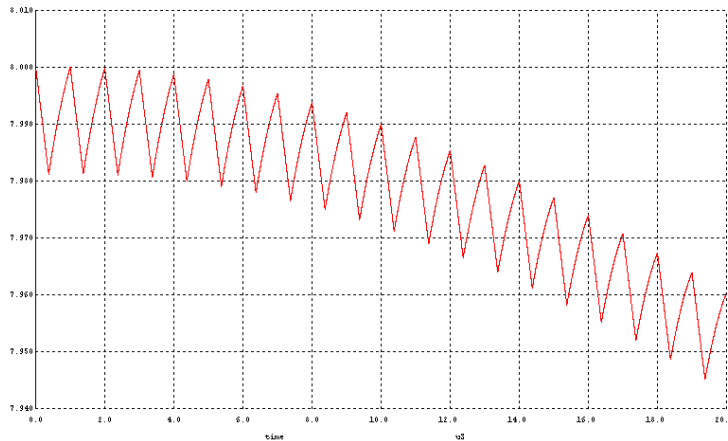
```
.model myD D(is=0.01p N=0.1 Xti=0 Eg=0.1)
.model mysw SW(ron=1m roff=1meg vt=0.5 vh=0.1)
Vsw 10 0 dc 0 pulse(0,1, 0,1n,1n, 375n, 1u)
V1 1 0 dc 5
L1 1 2 10u ic=0.71
S1 2 0 10 0 mysw
D1 2 3 myD
C2 3 0 10u ic=8
IL 3 0 dc 0.5
```

Hemos empleado un diodo **D1** ideal, así como un interruptor **S1** ideal gobernado por la tensión de control **Vsw**, que tiene ajustado el *Duty Cycle* calculado.

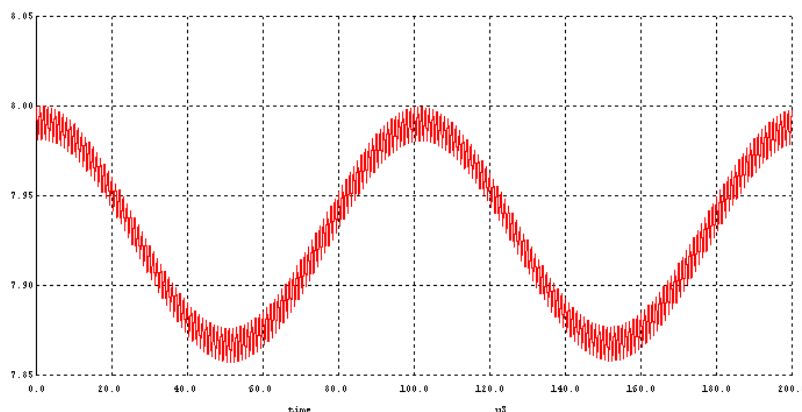
Para evitar el transitorio inicial hemos añadido las condiciones iniciales al inductor **L1** y condensador de salida **C2**.

El análisis que emplearemos será:

TRAN 1n 20u 10n UIC

Evolución de la $V(3)$ durante los primeros $20\mu\text{sec}$

Al realizar una simulación más larga vemos que aparece una componente de unos 16kHz , debido a que tenemos un sistema resonante LC sin pérdidas.

Evolución de la $V(3)$ durante $200\mu\text{sec}$

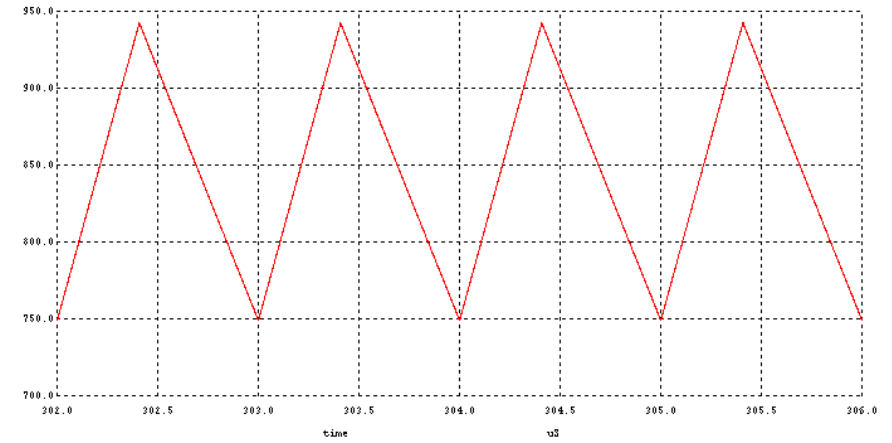
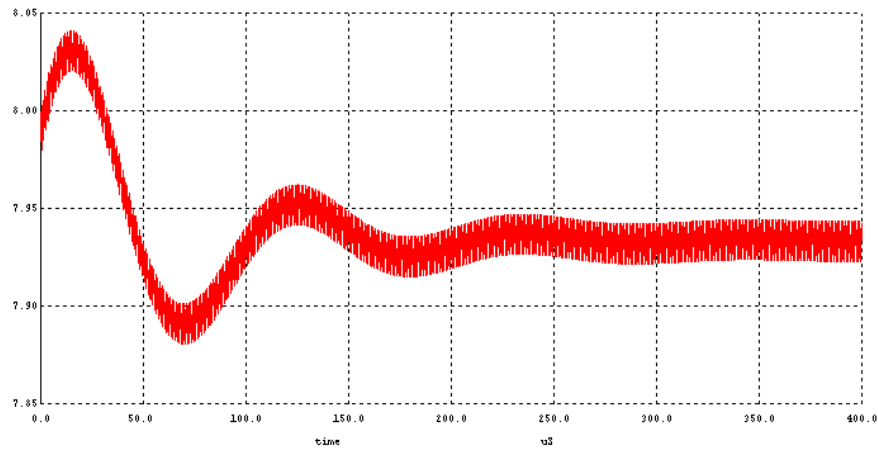
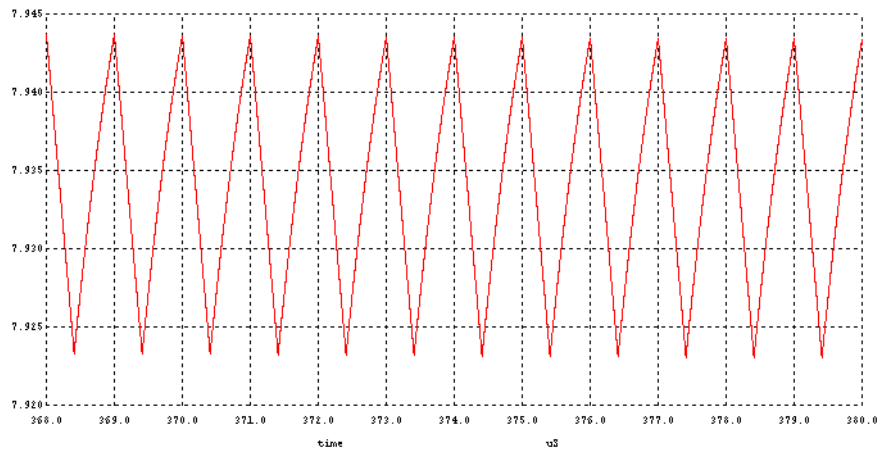
En un diseño real los componentes tienen pérdidas, por lo que el procedimiento anterior se modificaría: supongamos un rendimiento (pesimista) de $\eta = 0,8$. Computamos el *Duty Cycle* como $D' = 1 - \eta \frac{V_1}{V_2}$ y a partir de ahí L_1 y $\overline{I_L}$.

Para nuestro ejemplo consideremos que sólo el inductor tiene pérdidas $ESR = 0,3\Omega$.

En este caso, las pérdidas totales del circuito: $P_{LOSS} = ESR \cdot I_L^2$. Realizando un balance de potencia entrada/salida: $V_1 I_L = V_2 I_2 + P_{LOSS}$, resolviendo obtenemos: $I_L = 0,843\text{A}$.

El rendimiento sería: $\eta = \frac{4}{4+0,264} = 0,949$, y el *Duty Factor* corregido: $D = 1 - \eta \frac{V_1}{V_2} = 0,407$.

Al modificar el netlist y volver a simular tenemos:

Detalle de $I_L(t)$ en regimen permanenteEvolución de la $V(3)$ con pérdidas, detalle del regimen permanente